

法政大学学術機関リポジトリ  
HOSEI UNIVERSITY REPOSITORY

# 自立GaN基板上p-n接合ダイオードにおける順方向電流集中領域の直接観察法に関する研究

著者	林 賢太郎
出版者	法政大学大学院理工学研究科
雑誌名	法政大学大学院紀要．理工学・工学研究科編
巻	59
ページ	1-4
発行年	2018-03-31
URL	<a href="http://doi.org/10.15002/00021570">http://doi.org/10.15002/00021570</a>

# 自立 GaN 基板上 p-n 接合ダイオードにおける 順方向電流集中領域の直接観察法に関する研究

STUDY ON DIRECT OBSERVATION OF CURRENT CROWDING AREA  
IN VERTICAL GAN P-N JUNCTION DIODES

林賢太郎

Kentaro HAYASHI

指導教員 栗山一男 教授

法政大学大学院理工学研究科電気電子工学専攻修士課程

This paper describes EL intensity mapping on a p-n junction plane of vertical GaN diodes under forward biased conditions for the first time. By this mapping, it is found that current crowding has existed corresponding to naturally formed surface stripes on epitaxial layers grown on freestanding GaN substrates. Detailed analyses by AFM and TOF-SIMS clarify that concentration of doped Mg acceptors on one slope of the stripe was higher than that on the other slope. The higher Mg-concentration region should have lower electric resistances, which would cause the current crowding. By improving the surface flatness, the current crowding is suppressed and a low specific on-resistance is obtained.

**Key Words:** GaN, p-n Diode

## 1. はじめに

窒化ガリウム(GaN)は、表 1 に示すように、現在主流の Si に比べ、ワイドバンドギャップ、高破壊電界、高飽和速度、SiC に比べ高電子移動を有するなどの顕著な特性のため、高出力、高周波、および高温デバイスへの応用に適した材料である[1]。これらの特性により、GaN は高効率パワーデバイスとして大きな注目を集め、GaN ダイオードやトランジスタなど、多くの研究者によって広く研究されている[2]~[17]。近年の論文では、4.7 kV の高耐圧かつ  $1.7 \text{ m}\Omega \cdot \text{cm}^2$  の低オン抵抗を達成したと報告され、インバータやコンバータへの適用により、大幅なエネルギー損失の低減が期待される[18]。こうした研究により、GaN デバイスは成長し続けているが課題も多く残っている。特に、GaN デバイスの結晶成長およびデバイス製造技術は、Si および SiC のものほど成熟していない[19] ~ [20]。結晶成長の工程は、作製した素子の電気特性を大きく左右するため、更なる研究が必要である。GaN は直接遷移のエネルギーバンドギャップを有し、順方向バイアス印加時、電子と正孔が再結合することにより強いエレクトロルミネッセンス (EL) が発生し、オン抵抗(Ron)が大幅に減少する[21]。EL 強度は注入電流に比例する。したがって、微視的な EL マッピングは、p-n 接合界面における局所電流分布に関する情報を与えることができる。

本研究では、透明カソード電極を導入することにより、明瞭な EL 像を得ることに成功した。更に、筆者ら、GaN p-n 接合エピタキシャルウェーハの表面形状に対応するストライプパターンを有する異常な EL 像も初めて見出した。表面平坦性の良いウェーハを用いることで電流-電圧特性を改善することができた。

表 1 各材料の物性値

	Si	GaAs	4H-SiC	GaN
バンドギャップ [eV]	1.12	1.42	3.02	3.39
電子移動度 [cm <sup>2</sup> /Vs]	1350	6000	700	900 2000(2DEG)
飽和速度 [cm/s]	$1.0 \times 10^7$	$2.0 \times 10^7$	$2.2 \times 10^7$	$2.7 \times 10^7$
絶縁破壊電界 [MV/cm]	0.3	0.4	3.5	3.5
熱伝導率 [W/cmK]	1.5	0.5	4.9	1.5

## 2. 表面モフォロジーの異なるウェーハの評価

### (1) 実験条件

図 1 に、GaN p-n ダイオードの構造図を示す。ボイドアシスト分離(VAS)法により製造された貫通転位密度  $3 \times 10^6 \text{ cm}^{-2}$  以下を有する自立 GaN 基板上に、有機金属気相成長(MOVPE)法により、 $p^{++}\text{-GaN}(\text{Mg} = 2 \times 10^{20} \text{ cm}^{-3}, 30 \text{ nm})/p\text{-GaN}(\text{Mg} = 1 \times 10^{18} \text{ cm}^{-3}, 500 \text{ nm})/n\text{-GaN}(\text{Si} = 1 \times$

$10^{15} \text{ cm}^{-3}$ ,  $2 \mu\text{m}$ ) /  $\text{n}^-$ -GaN( $\text{Si} = 8 \times 10^{15} \text{ cm}^{-3}$ ,  $15 \mu\text{m}$ ) /  $\text{n}^-$ -GaN( $\text{Si} = 1 \times 10^{18} \text{ cm}^{-3}$ ,  $2 \mu\text{m}$ )の層構造を成長させた基板を用いた。同層構造において、エピタキシャル層表面が平坦なものと、すじ状のモフォロジーがあるものを用いた。ダイオードの素子分離にはドライエッチングによるメサ構造の形成を行った。次に、 $\text{p}^+$ -GaN 層上に直径  $200 \mu\text{m}$  の Pd/Ni ( $200 \text{ nm} / 100 \text{ nm}$ )円形電極をオーミックコンタクトとして堆積させ、フィールドプレート Ti/Al ( $30 \text{ nm} / 250 \text{ nm}$ ) (FP)金属電極をオーミック金属上に堆積させた。FP 構造は電界緩和に有効であることが報告されている[1]。最後に、GaN 基板の裏面に ITO (Indium-Tin-Oxide) ( $500 \text{ nm}$ )を蒸着し、p-n 接合部の EL 発光強度を直接評価するための透明なカソード電極を形成した。ITO を堆積した後、酸素欠陥を補償することにより透過率を増加させるために、空気雰囲気下  $500^\circ\text{C}$  で 30 分間ポスト熱アニールを行った。室温で超高圧ユニットと組み合わせた Agilent B1505A を使用して、電流-電圧 (I-V) 特性を評価した。EL マッピングは、Horiba の LabRAM HR システムによって、ダイオードの背面から実施した。ウェハの不純物分布マッピングに TOF-SIMS (Time-of-Flight Secondary Ion Mass Spectrometry) を、表面粗さ評価に原子間力顕微鏡 (AFM) を用いた。

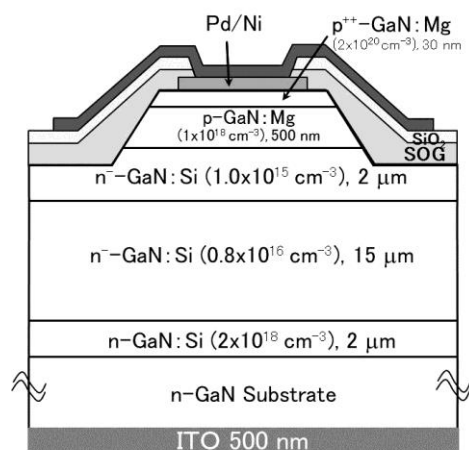


図1 FP 構造を有する GaN p-n 接合ダイオードの断面図

## (2) 実験結果と考察

図2に、エピタキシャル層表面にすじ状モフォロジーを有するウェハの AFM 像を示す。AFM 像から、V 字形の縞模様が観察された。GaN 基板上の MOVPE 成長エピタキシャル層について同様の表面外観が報告されている [22]。図3に、断面 AFM 像による高さ分布を示す。すじ状モフォロジーのある部分ではラフネスが大きく凹凸の高低差が  $70 \text{ nm}$  程度あることが分かる。また、凸側の両斜面に傾斜の差があり緩斜面と急斜面からなっている。

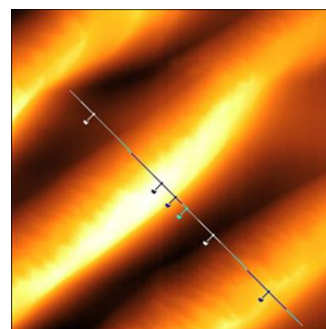


図2 GaN ウェハ表面の AFM 像 (すじ状モフォロジー領域)

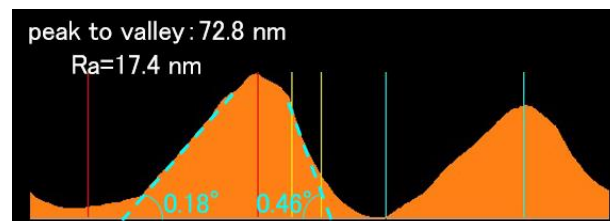


図3 GaN ウェハ表面の断面像 (すじ状モフォロジー領域)

図4、5に、電極径  $400 \mu\text{m}$  における p-n 接合ダイオードの光学顕微鏡像と順方向電圧印加時の EL マッピング像を示す。両図から、EL 発光強度の高い部分がすじ状のモフォロジー凹凸の凸側緩斜面对応していることがわかる。

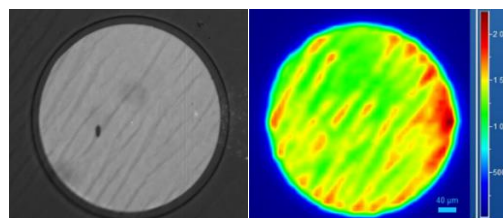


図4 GaN ウェハ表面の光学顕微鏡像

図5 顕微 EL マッピング像

(すじ状モフォロジー領域)

この不均一な EL 発光の原因を明らかにするため、TOF-SIMS によって、エピタキシャル層表面の不純物濃度分布をマッピング評価したものを図6に示す。図6から、凸側緩斜面の Mg 濃度が急斜面より約 20% 高いことが分かる。MOVPE 成長中の Mg の捕獲効率率は、AFM で多くの原子ステップが観察された緩傾斜で、より高くなることが考えられる。ストライプ EL 像のもう一つの原因として、MOVPE での GaN 結晶への C の取込み濃度が傾斜面で異なり、C アクセプタが Si ドナーを補償し n-GaN ドリフト層の抵抗率の不均一性が発生したことも考えられる。

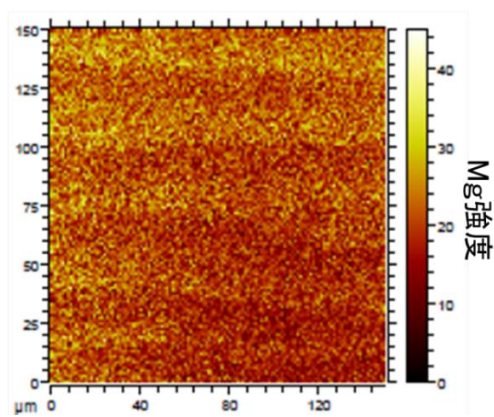


図6 TOF-SIMS マッピング像(Mg分布)

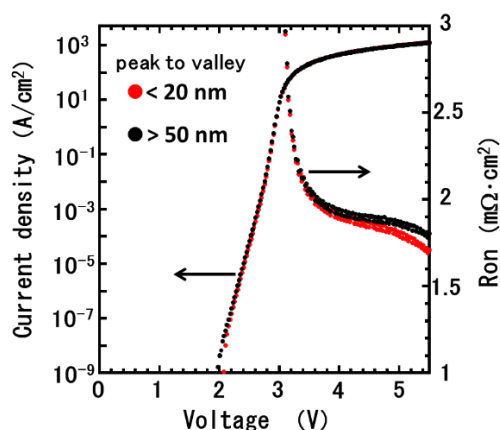


図7 順方向電流－電圧特性(2つの領域)

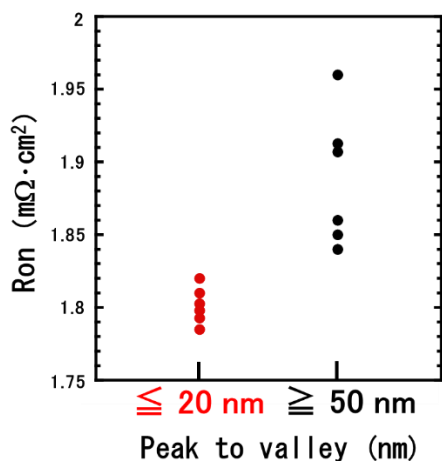


図8  $R_{on}$  の比較 (2つの領域)

図7に、同一ウェハ内において平坦性の良い領域(凹凸差<20nm)とすじ状モフォロジーのある領域(凹凸差>50 nm)上に作製した p-n 接合ダイオードの順方向電流－電圧特性結果を示す。2つの領域において、電流密度<10 A/cm<sup>2</sup>における特性に変わりはなく、ダイオードの理想因子は1～2である。これより両領域においてリーク電流がないことが分かる。しかし、高電流>100 A/cm<sup>2</sup>におけるオン抵抗( $R_{on}$ )値はすじ状モフォロジーのある領域に比べ平坦性の良い領域の方が低い値を示し

た。図8に、両領域で作製した p-n 接合ダイオードの  $R_{on}$  を比較したものを示す。平坦性の良い領域における  $R_{on}$  は2%未満の小さな偏差を有するのに対し、すじ状モフォロジーのある領域では、7%の偏差があった。これらの結果から、すじ状モフォロジーの凹凸はダイオード特性劣化の原因になることがわかる。このことから、エピタキシャル層の精密な制御は表面高品質のために重要な技術となる。今後、高性能の大型 GaN p-n 接合ダイオードの作製には平坦性の良いエピ層を形成することが好ましい。

### 3. 結論

GaN p-n 接合ダイオード特性の新たな評価方法として透明カソード電極を用い、順方向電圧印加時の p-n 接合界面の EL 発光強度をマッピングすることで、表面品質を評価することができた。表面にすじ状のモフォロジーのある領域では凸部分両側において傾斜に差が生じ、緩斜面側では高濃度 Mg アクセプタが検出され、不均一な電流分布の原因となった。平坦性の良い領域におけるダイオードは小さな偏差を有する低いオン抵抗値を示した。

謝辞：本研究を進めるにあたってご指導頂きました法政大学理工学研究科 栗山一男教授、法政大学イオンビーム工学研究所三島友義教授、法政大学マイクロナノテクノロジーセンター 太田博氏、中村徹客員教授、池田清治氏、浅井直美氏に心から感謝致します。また研究において的確なご指導、ご助言並びに基板の提供をして頂いた株式会社サイオクス 堀切文正博士、成田好伸氏、吉田丈洋博士、藤倉序章博士に深く感謝致します。また、本研究を遂行するにあたり、ご支援いただいたケミトロニクス 葛西武氏、法政大学 旧中村徹研究室の皆様へ感謝致します。

### 参考文献

- 1) A. Wakejima, T. Nakayama, K. Ota, Y. Okamoto, Y. Ando, N. Kuroda, M. Tanomura, K. Matsunaga, and H. Miyamoto, Electron. Lett. 42, 1349-1350 (2006).
- 2) Y. Hatakeyama, K. Nomoto, A. Terano, N. Kaneda, T. Tsuchiya, T. Mishima, and T. Nakamura, Jpn. J. Appl. Phys. 52, 028007-1 (2013).
- 3) H. Ohta, N. Kaneda, F. Horikiri, Y. Narita, T. Yoshida, T. Mishima, and T. Nakamura, IEEE Electron Device Letter 36, 1180 (2015).
- 4) I. C. Kizilyalli, T. Prunty, and O. Aktas, IEEE Electron Devices Letters 36, 1073 (2015).
- 5) K. Nomoto, Y. Hatakeyama, H. Katayose, N. Kaneda, T. Mishima, and T. Nakamura, Phys. Stat. Sol. A 208, 1535 (2011).
- 6) Y. Hatakeyama, K. Nomoto, N. Kaneda, T. Mishima, and T. Nakamura, IEEE Electron Device Lett. 32, 1674 (2011).
- 7) T. Oka, Y. Ueno, T. Ina, and K. Hasegawa, Appl. Phys. Exp. 7, 021002 (2014).

- 8) D. Disney, H. Nie, A. Edwards, D. Bour, H. Shah, and I. C. Kizilyalli, in Proc. IEEE Int. Symp. Power Semicond. Devices ICs (ISPSD) (Kanazawa, Japan), 59 (2013).
- 9) B. Lu and T. Palacios, IEEE Electron Device Lett. **31**, 951 (2010).
- 10) I. C. Kizilyalli, A. P. Edwards, H. Nie, D. Disney, and D. Bour, IEEE Trans. Electron Devices **60**, 3067 (2013).
- 11) Y. Yoshizumi, S. Hashimoto, T. Tanabe, and M. Kiyama, J. Cryst. Growth **298**, 875 (2007).
- 12) J. B. Limb, D. Yoo, J.-H. Ryou, W. Lee, S.-C. Shen, and R. D. Dupui, Electron. Lett. **42**, 1313 (2006).
- 13) K. Nomoto, T. Nakamura, N. Kaneda, T. Kawano, T. Tsuchiya, and T. Mishima, Intl. Conf. Silicon Carbide and Related Materials, We-P-76 (2011).
- 14) I. C. Kizilyalli, A. P. Edwards, H. Nie, D. Bour, T. Prunty, and D. Disney, IEEE Electron Device Lett. **35**, 247 (2014).
- 15) I. C. Kizilyalli, A. P. Edwards, O. Aktas, T. Prunty, and D. Bour, IEEE Trans. Electron Devices **62**, 414 (2015).
- 16) A. M. Ozbek and B. J. Baliga, IEEE Electron Device Lett. **32**, 300 (2011).
- 17) O. Aktas and I. C. Kizilyalli, IEEE Electron Device Lett. **36**, 890 (2015).
- 18) N. Mohan, Power Electronics, A First Course. Hoboken, NJ, USA, Wiley, (2012).
- 19) J. Palmour, J. Zhang, M. K. Das, R. Callanan, A. Agarwal, and D. Grider, in Proc. IEEE Int. Conf. Power Electron., 1006 (2010).
- 20) K. Mochizuki, K. Nomoto, Y. Hatakeyama, H. Katayose, T. Mishima, N. Kaneda, T. Tsuchiya, A. Terano, T. Ishigaki, T. Tsuchiya, R. Tsuchiya, and T. Nakamura, IEDM Tech. Dig 26.3.1. (2011).
- 21) B. J. Baliga, Fundamentals of Power Semiconductor Devices (Springer, New York, 2008) p. 209.
- 22) I. Kizilyalli a, P. Bui-Quanga, D. Disney, H. Bhatia, and O. Aktas, Microelectronics Reliability **55**, 1654 (2015)